

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-072757

(43)Date of publication of application : 24.04.1984

(51)Int.Cl.

H01L 25/02

H01L 23/48

(21)Application number : 57-184371

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.10.1982

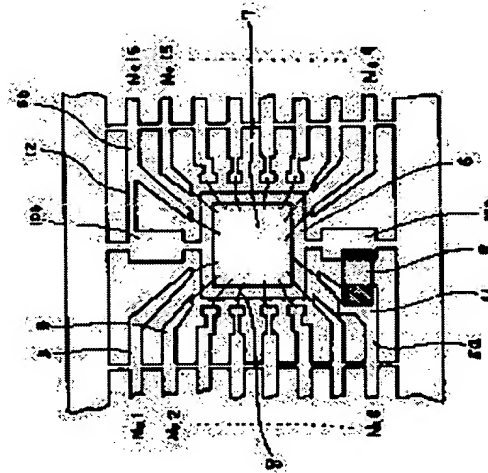
(72)Inventor : WAKABAYASHI TETSUSHI  
MURATAKE KIYOSHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To make the inductance at the connecting part of a chip capacitor small, by attaching the chip capacitor between the power source and the grounding of a semiconductor lead frame, thereby making a mounting density large.

CONSTITUTION: A specified patterning of a metal such as Kovar is performed, and a lead frame is formed by performing etching or blanking by a press form. A plurality of leg shaped outer lead parts 5 of the lead frame and an IC chip 7 mounted on a rectangular stage 6, which is provided at the central part, are bonded and electrically connected by wires 8. In the case of, e.g., 16 pin semiconductor, 16 legs from No.1 to No.16 are provided except tie bars 10a and 10b, which support the stage part, with groups of 8 pieces being arranged on the right and left sides. A land part 11 for mounting a chip capacitor is provided at a part of the lead part of the No.8 pin 5a, which is the power source pin. The IC chip 7 is attached to the stage 6 by resin, metal, or the like.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59—72757

⑫ Int. Cl.<sup>3</sup>  
H 01 L 25/02  
23/48

識別記号

庁内整理番号  
7638—5F  
7357—5F

⑬ 公開 昭和59年(1984)4月24日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

⑯ 発明者 村竹清

川崎市中原区上小田中1015番地  
富士通株式会社内

⑰ 特 願 昭57—184371

⑱ 出 願 昭57(1982)10月20日

⑲ 出 願 人 富士通株式会社

⑳ 発 明 者 若林哲史

川崎市中原区上小田中1015番地

川崎市中原区上小田中1015番地  
富士通株式会社内

㉑ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) リードフレームにおけるチップ搭載用のステージを支持するタイバーと第1の電源供給用リードが接続され、該タイバーと第2の電源供給用リード間にチップコンデンサが取り付けられ、樹脂封止されてなることを特徴とする半導体装置。

(2) 該タイバーと該第1の電源供給用リードが連続して形成されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は樹脂封止型半導体装置に係り、特にチップコンデンサをリードフレームの電源一極地間に接続した半導体装置に関する。

(2) 技術的背景

近時、半導体装置の集積度が向上するとともに処理スピードが上がってきたために、集積回路を

駆動するための電源供給時に付加するバイパス用コンデンサを接続するためのリード線の長さ、すなわちインダクタンス成分や、プリント基板に取り付けられるバイパス用コンデンサ自体の大きさによって実装時に大型化する等の問題がクローズアップされてきている。

すなわち、従来はプリント基板上に集積回路をパッケージした半導体装置を複数個ハンダ付けした場合に複数の半導体装置に対して一つのバイパス用コンデンサを付加して電圧よりのパルス性雑音の吸収を行っていたが、複数の集積回路自体も個々に種々の動作を行っているために集積回路自体もノイズを発生し、複数の集積回路相互間に影響を及ぼす問題があり、集積回路をパッケージした複数の半導体装置の個々にバイパス用コンデンサを付加するようになってきている。

この場合、個々のパッケージされた集積回路に外付けのバイパス用コンデンサを接続するためにリード線が長くなり、不用なインダクタンスを含むことになり、実装密度も大きくなる欠点があり、

これらの問題を解決するような発明があった。

### (3) 従来技術と問題点

第1図は従来の複数の集積回路をパッケージした半導体装置2a、2bをプリント基板1上に実装した場合の斜視図であり、プリント基板1に穿たれた透孔に集積回路をパッケージした半導体装置2a、2bの外側リードを挿入し、ハンダ付けでプリント板上の外側回路(図示せず)に接続するとともに半導体装置2a、2bはプリント基板上に固定され、例えば電源用端子3a'、

3b'と接地端子3a、3b間にそれぞれバイパス用コンデンサ4a、4bが外付けされて、上記したように電源用のパルス性雑音及び集積回路2a、2bの間々の回路より発生するパルス性雑音を吸収させている。

しかし、上述の構成による実装構造では電源用端子3a'、3b'からコンデンサ4a、4bに至るリード線及び接続端子3a、3bからコンデンサ4a、4bに至るリード線(実線にはプリント基板にパターンニングされるがリード4a'、

4b'として示す)が長くなり、不要なインダクタンスを含むだけでなくパルス性ノイズをひろい更に実装密度が低下する欠点を生ずる。

### (4) 発明の目的

本発明の目的は上記従来の欠点に鑑み、半導体リードフレームの電源-接地間にチップコンデンサを取り付けることによって実装密度が大で、チップコンデンサの接続部のインダクタンスの小さいワールド型半導体装置を提供することにある。

### (5) 発明の構成

本発明の特徴とするところは、リードフレームにおけるチップ搭載用のステージを支持するタイバーと第1の電源供給用リードが接続され、接地タイバーと第2の電源供給用リード間にチップコンデンサが取り付けられ、樹脂封止されてなることを特徴とする半導体装置を提供することによって達成される。

### (6) 発明の実施例

以下、本発明の実施例を図面を参照しながら説明する。

- 3 -

第2図は、本発明を構成するICパッケージにおけるモールドイング成型前のリードフレームの平面図である。

第2図において、例えばコパール(Pe-Ni-Cr合金)等の金属に所定のパターニングを行いエッチングあるいはプレス型で打抜いて形成したリードフレームの足状の複数の外リード部5と、中央部に設けられた矩形状のステージ6上に搭載したICチップ7とはワイヤ8にてボンディングされ電気的接続がなされている。

ここで、本実施例においては例えば16ピンの半導体装置であるために、ステージ部を支持するタイバー10a、10bを隆起左右に各々8本ずつの足が1から16まで都合16本設けられている。そのうち最外側のピンすなわち16、15のピン5a、5bは通常接地用及び電源用のリードとして各々用いられているが本実施例でも同様に構成されている。そして電源用ピンすなわち16のピン5aのリード部の一部にはチップコンデンサ搭載用のランド部11が設けられてありステ

ージ6に樹脂もしくはメタル等で取り付けられて搭載されたICチップ7があり、更にチップコンデンサ9が前記ランド部11とタイバー10bに亘って例えばハンダ等にて接続されている。また、接地用ピンすなわち15のピン5bとタイバー10bとの間に予めショートバー12を設けてある。なお、15のピン5bのリード部の一部はタイバー10bと例えばワイヤボンディングを行ってショートさせてもよい。

以上の如くしてチップコンデンサ9は電源と接地間に接続されたことになる。

また、タイバー10a、10bはインダクタンスの低下のためからみ或いはチップコンデンサの搭載及びピンとの接続上の面からみ外リード部1よりも相対的に幅広に形成しておく方が好都合である。

なお、以上述べてきた構成の半導体装置はICチップの背面を接地として実装した場合であったが、例えばICチップ自体に基板電位が設定されている場合のICチップの固定については係る

- 6 -

- 5 -

ICチップを樹脂にて接着させておくことにより可能となる。すなわち外リード部からパッドを介して基板に電位を伝える様に構成することにより、ICチップのステージから電位を取る必要がないためチップコンデンサを上記と同様に搭載することが可能となる。

#### (7) 発明の効果

以上述べて来たように、本発明を用いるとチップコンデンサを外リード部と隔壁に形成したタイプーとの間のリードフレーム上に実装してモールドングされているため、インダクタンスが小さで実装密度が改善された半導体装置を得る効果を得る。

#### 4. 図面の簡単な説明

第1図は従来のモールド型ICパッケージの実装状態を示す斜視図、第2図は本発明を用いたICパッケージのモールドング前のリードフレームの構成を示す平面図である。

1・・・プリント基板、 2a、2b・・・半導体装置、 3a、3b・・・接合端子、

3a'、3b'・・・電源用端子、 4a、4b・・・バイパス用コンデンサ、 5、5a、5b・・・外リード部(ピン)、 6・・・ステージ、 7・・・ICチップ、 9・・・チップコンデンサ、 10a、10b・・・ダイバー、 11・・・ランド部、

特許出願人 富士通株式会社

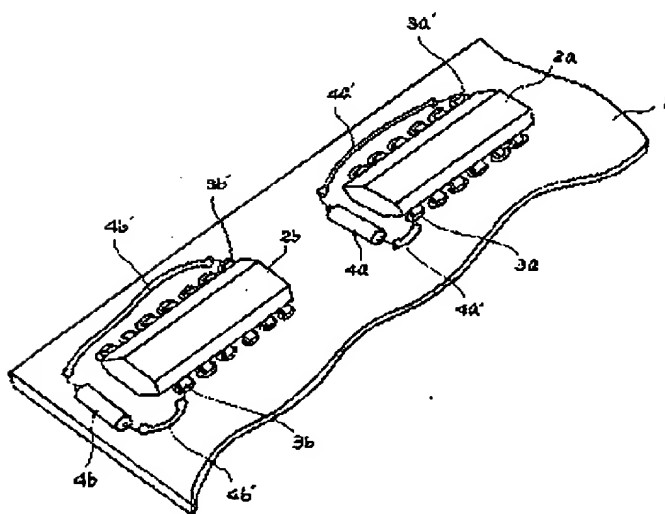
代理人 弁理士 松岡 宏四郎



- 7 -

- 8 -

第 1 図



第 2 図

